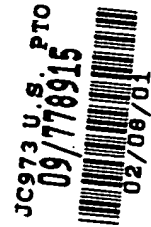


日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年11月 2日

出 願 番 号
Application Number: 特願2000-336373

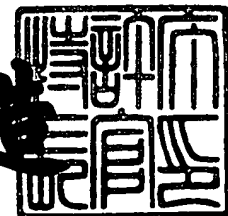
出 願 人
Applicant(s): 三菱電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3098466

【書類名】 特許願

【整理番号】 526754JP01

【提出日】 平成12年11月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/70
H01L 23/52
H01L 25/00
H01L 27/00
H01L 21/822

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

 【氏名】 菊地 和行

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089118

 【弁理士】

 【氏名又は名称】 酒井 宏明

【手数料の表示】

 【予納台帳番号】 036711

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積装置

【特許請求の範囲】

【請求項 1】 複数の接続端子を有した第 1 の半導体装置と複数の接続端子を有した第 2 の半導体装置とを備え、少なくとも各複数の接続端子のうちの各所定の接続端子群が相互接続された半導体集積装置であって、

前記各所定の接続端子群の少なくとも一方の所定の接続端子群は、該所定の接続端子群の各接続端子を連続配置したことを特徴とする半導体集積装置。

【請求項 2】 前記各所定の接続端子群は、当該半導体集積装置の基板上において相互に対向配置されることを特徴とする請求項 1 に記載の半導体集積装置。

【請求項 3】 複数の接続端子を有した第 1 の半導体装置と複数の接続端子を有した第 2 の半導体装置とがそれぞれ両面基板の表面上および裏面上に配置され、少なくとも各複数の接続端子のうちの各所定の接続端子群が相互接続された半導体集積装置であって、

前記各所定の接続端子群は、前記両面基板のスルーホールを介して相互に対向配置されることを特徴とする半導体集積装置。

【請求項 4】 前記所定の接続端子群は、前記第 1 の半導体装置あるいは前記第 2 の半導体装置の複数の接続端子が配置される縁部の一边に配置されることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積装置。

【請求項 5】 前記所定の接続端子群は、前記第 1 の半導体装置あるいは前記第 2 の半導体装置の複数の接続端子が配置される縁部の一边および該一边に隣接する辺に連続配置されることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体集積装置。

【請求項 6】 前記各所定の接続端子群を構成する各接続端子を所定の順序で関連づけて連続配置したことを特徴とする請求項 1 ～ 5 のいずれか一つに記載の半導体集積装置。

【請求項 7】 前記第 1 の半導体装置および前記第 2 の半導体装置の複数の接続端子が長手方向の長辺部に配置されるとともに、前記第 1 の半導体装置およ

び前記第 2 の半導体装置の各短辺部が対向して配置され、

前記各所定の接続端子群は、前記短辺部近傍の長辺部において該短辺部から所定の順序で関連づけて連続配置したことを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体集積装置。

【請求項 8】 前記第 1 の半導体装置は、
前記第 2 の半導体装置から電源電圧の供給を受ける電源入力端子と、
前記電源入力端子に接続された発振手段と、
前記発振手段が発振した信号の周波数を変更する通倍手段と、
前記通倍手段によって変更された周波数の信号を出力する出力端子と、
を備え、
前記第 2 の半導体装置は、
前記第 1 の半導体装置に電源電圧を供給する電源出力端子と、
前記出力端子から信号を受け取る信号入力端子と、
を備えたことを特徴とする請求項 1 ～ 7 のいずれか一つに記載の半導体集積装置。

【請求項 9】 前記第 1 の半導体装置は、
前記発振手段に電源を供給する電源電圧供給手段と、
前記電源電圧供給手段が電源を供給している場合、該電源電圧供給手段から供給される電源を前記発振手段および前記通倍手段に供給し、前記電源電圧供給手段が電源を供給しない場合、前記電源入力端子から供給される電源を前記発振手段および通倍手段に供給する電源切替手段と、
をさらに備えたことを特徴とする請求項 8 に記載の半導体集積装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体集積装置に関し、特に配線領域を削減し、部品点数を減らすことができる半導体集積装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、半導体集積装置は高機能化、小型化が進んでいる。たとえば、テレビジョン受像機では、低価格化の要求に応えるべく、TV信号処理ICと周辺部品とを集積化した1チップTV信号処理ICが一般的になりつつあり、シャーシの省スペース化が進んでいる。

【0003】

図7は、従来のTV信号処理用のICとマイコンの接続を示す図である。信号処理IC71は、TV信号を処理する機能を有する半導体装置である。MCU72は、信号処理IC71の制御、選局などを行うマイコンとして機能する半導体装置である。

【0004】

信号処理IC71は、内部に色信号処理用の基準搬送波を生成する電圧制御発振器（VCXO）（図示せず）を有し、電圧制御発振器は、水晶発振子接続端子4を介して、水晶発振子3に接続される。また、信号処理IC71は、OSD入力端子5～8、バス制御線入力端子9、10、OSDの位置を決める水平ドライブ用パルス出力端子11、垂直ドライブ用パルス出力端子12、MCU2のリセット用のリセットパルス出力端子13、を有する。

【0005】

発振子14はMCU72のシステムクロック用の発振子であり、システムクロック入力端子15を介してMCU72に接続される。また、MCU72は、バス制御線出力端子16、17、水平ドライブ用パルス入力端子18、垂直ドライブ用パルス入力端子19、OSD信号出力端子20～23、リセットパルス入力端子24を有する。

【0006】

信号処理IC71およびMCU72は、基板上に搭載され、信号処理IC71およびMCU72の各端子は、基板にプリントされた配線によって接続されている。

【0007】

なお、信号処理IC71とMCU72との接続に関係しない端子については、周辺部品を省略している。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、従来のテレビジョン受像機では、信号処理 IC と MCU とで接続される端子が各辺にばらばらに配置されており、接続が複雑になり、プリント基板の配線領域が大きくなり、基板の実装面積が大きくなるという問題があった。

【 0 0 0 9 】

また、信号処理 IC には色信号処理用に水晶発振子が、MCU にはシステムクロック用として発振子が必要であり、類似の機能を有する部品を各々必要とし、部品点数が多くなるという問題があった。

【 0 0 1 0 】

テレビジョン受像機に限らず、半導体装置を複数搭載する半導体集積装置では、各半導体装置が他の半導体装置との位置関係を考慮せずに接続端子を設けている。そのため、基板の配線領域が大きくなり、基板の実装面積が大きくなるという問題があり、発振子に関しても同様の部品を各半導体装置ごとに準備することで部品点数が増え、実装面積が大きくなるという問題点があった。

【 0 0 1 1 】

この発明は上記に鑑みてなされたものであって、基板の配線領域を削減し、部品点数を減らし、実装面積の小さく、安価な半導体集積装置を得ることを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかる半導体集積装置は、複数の接続端子を有した第 1 の半導体装置と複数の接続端子を有した第 2 の半導体装置とを備え、少なくとも各複数の接続端子のうちの各所定の接続端子群が相互接続された半導体集積装置であって、前記各所定の接続端子群の少なくとも一方の所定の接続端子群は、該所定の接続端子群の各接続端子を連続配置したことを特徴とする。

【 0 0 1 3 】

この発明によれば、相互に接続される第 1 の半導体装置および第 2 の半導体装置の少なくとも一方の接続端子群は、各接続端子を連続して配置される。

【 0 0 1 4 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記各所定の接続端子群は、当該半導体集積装置の基板上において相互に対向配置されることを特徴とする。

【 0 0 1 5 】

この発明によれば、第 1 の半導体装置と第 2 の半導体装置とを接続する接続端子群は、半導体集積装置の基板上で、互いに対向して配置される。

【 0 0 1 6 】

つぎの発明にかかる半導体集積装置は、複数の接続端子を有した第 1 の半導体装置と複数の接続端子を有した第 2 の半導体装置とがそれぞれ両面基板の表面上および裏面上に配置され、少なくとも各複数の接続端子のうちの各所定の接続端子群が相互接続された半導体集積装置であって、前記各所定の接続端子群は、前記両面基板のスルーホールを介して相互に対向配置されることを特徴とする。

【 0 0 1 7 】

この発明によれば、第 1 の半導体装置および第 2 の半導体装置は、両面基板の各々異なる面に搭載され、両面基板に設けられたスルーホールを介し、接続端子群を対向させて配置される。

【 0 0 1 8 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記所定の接続端子群は、前記第 1 の半導体装置あるいは前記第 2 の半導体装置の複数の接続端子が配置される縁部の一辺に配置されることを特徴とする。

【 0 0 1 9 】

この発明によれば、第 1 の半導体装置と第 2 の半導体装置とを接続する接続端子群は、半導体装置上の一辺に集約して設置される。

【 0 0 2 0 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記所定の接続端子群は、前記第 1 の半導体装置あるいは前記第 2 の半導体装置の複数の接続端

子が配置される縁部の一辺および該一辺に隣接する辺に連続配置されることを特徴とする。

【 0 0 2 1 】

この発明によれば、第 1 の半導体装置と第 2 の半導体装置とを接続する接続端子群は、半導体装置上の一辺およびそれに隣接する辺に集約して設けられる。

【 0 0 2 2 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記各所定の接続端子群を構成する各接続端子を所定の順序で関連づけて連続配置したことを特徴とする。

【 0 0 2 3 】

この発明によれば、第 1 の半導体装置と第 2 の半導体装置とを接続する接続端子群は、所定の順序で関連付けて連続して配置される。

【 0 0 2 4 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記第 1 の半導体装置および前記第 2 の半導体装置の複数の接続端子が長手方向の長辺部に配置されるとともに、前記第 1 の半導体装置および前記第 2 の半導体装置の各短辺部が対向して配置され、前記各所定の接続端子群は、前記短辺部近傍の長辺部において該短辺部から所定の順序で関連づけて連続配置したことを特徴とする。

【 0 0 2 5 】

この発明によれば、第 1 の半導体装置と第 2 の半導体装置とは、各短辺部を対向させて配置され、第 1 の半導体装置と第 2 の半導体装置とを接続する接続端子群は、各半導体装置の長辺部の、対向させた短辺部近傍に所定の順序で配置される。

【 0 0 2 6 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記第 1 の半導体装置は、前記第 2 の半導体装置から電源電圧の供給を受ける電源入力端子と、前記電源入力端子に接続された発振手段と、前記発振手段が発振した信号の周波数を変更する通倍手段と、前記通倍手段によって変更された周波数の信号を出力する出力端子と、を備え、前記第 2 の半導体装置は、前記第 1 の半導体装置に電

源電圧を供給する電源出力端子と、前記出力端子から信号を受け取る信号入力端子と、を備えたことを特徴とする。

【 0 0 2 7 】

この発明によれば、第 1 の半導体装置は、第 2 の半導体装置から電源の供給を受けて発振手段および通倍手段を動作させ、発振手段が生成した周期信号を通倍し、第 2 の半導体装置にシステムクロックとして入力する。

【 0 0 2 8 】

つぎの発明にかかる半導体集積装置は、上記の発明において、前記第 1 の半導体装置は、前記発振手段に電源を供給する電源電圧供給手段と、前記電源電圧供給手段が電源を供給している場合、該電源電圧供給手段から供給される電源を前記発振手段および前記通倍手段に供給し、前記電源電圧供給手段が電源を供給しない場合、前記電源入力端子から供給される電源を前記発振手段および通倍手段に供給する電源切替手段と、をさらに備えたことを特徴とする。

【 0 0 2 9 】

この発明によれば、第 1 の半導体装置の発振手段および通倍手段は、第 1 の半導体装置に電源が供給されている場合には、第 1 の半導体装置の電源を用いて動作し、第 1 の半導体装置に電源が供給されていない場合には、第 2 の半導体装置から供給される電源を用いて動作する。

【 0 0 3 0 】

【発明の実施の形態】

以下に添付図面を参照して、この発明に係る半導体集積装置の好適な実施の形態を詳細に説明する。

【 0 0 3 1 】

実施の形態 1.

図 1 は、この発明の第 1 の実施の形態である半導体集積装置の構成を示す図である。図 1 の半導体集積装置はテレビジョン受像機であり、信号処理 IC 1 および MCU 2 を有している。信号処理 IC 1 は、TV 信号を処理する機能を有する半導体装置である。また、MCU 2 は、信号処理 IC 1 の制御、選局などを行うマイコンとして機能する半導体装置である。信号処理 IC 1 と MCU 2 とは、基

板 1 0 0 上に設置され、基板 1 0 0 にプリントされた配線を介して接続されている。

【 0 0 3 2 】

信号処理 I C 1 は、水晶発振子接続端子 4 を介して、水晶発振子 3 に接続される。また、信号処理 I C 1 は、O S D 入力端子 5 ～ 8、バス制御線入力端子 9、1 0、O S D の位置を決める水平ドライブ用パルス出力端子 1 1、垂直ドライブ用パルス出力端子 1 2、MC U 2 のリセット用のリセットパルス出力端子 1 3、を有する。さらに、信号処理 I C 1 は、MC U 2 から電源電圧を受け取る電源電圧入力端子 2 8 と、MC U 2 ヘシステムクロックを供給するクロック出力端子 3 0 と、を有する。

【 0 0 3 3 】

MC U 2 は、バス制御線出力端子 1 6、1 7、水平ドライブ用パルス入力端子 1 8、垂直ドライブ用パルス入力端子 1 9、O S D 信号出力端子 2 0 ～ 2 3、リセットパルス入力端子 2 4 を有する。さらに、MC U 2 は、信号処理 I C 1 に電源電圧を供給する電源電圧出力端子 2 9 と、信号処理 I C 1 からシステムクロックを受け取るクロック入力端子 3 1 と、を有する。

【 0 0 3 4 】

信号処理 I C 1 の O S D 入力端子 5 ～ 8 は、MC U 2 の O S D 信号出力端子 2 0 ～ 2 3 にそれぞれ接続されている。同様に、バス制御線入力端子 9、1 0 はバス制御線出力端子 1 6、1 7 に、水平ドライブ用パルス出力端子 1 1 は水平ドライブ用パルス入力端子 1 8 に、垂直ドライブ用パルス出力端子 1 2 は垂直ドライブ用パルス入力端子 1 9 に、リセットパルス出力端子 1 3 はリセットパルス入力端子 2 4 に、それぞれ接続されている。さらに、電源電圧入力端子 2 8 は電源電圧出力端子 2 9 に、クロック出力端子 3 0 はクロック入力端子 3 1 に、それぞれ接続されている。

【 0 0 3 5 】

また、信号処理 I C 1 が有する端子、O S D 入力端子 5 ～ 8、バス制御線入力端子 9、1 0、水平ドライブ用パルス出力端子 1 1、垂直ドライブ用パルス出力端子 1 2、リセットパルス出力端子 1 3、電源電圧入力端子 2 8、クロック出力

端子 30 は、同一の辺に集約して設けられている。同様に、MCU 2 が有するバス制御線出力端子 16、17、水平ドライブ用パルス入力端子 18、垂直ドライブ用パルス入力端子 19、OSD 信号出力端子 20～23、リセットパルス入力端子 24、電源電圧出力端子 29、クロック入力端子 31 は、同一の辺に集約して設けられている。

【0036】

さらに、信号処理 IC 1 の一辺に集約された端子の配置の順番は、MCU 2 の一辺に集約された端子の配置の順番と対応している。また、信号処理 IC 1 と MCU 2 は、集約して端子を配置した一辺を向かい合わせて基板上に設置されている。

【0037】

ここで、図 2 を参照して水晶発振子 3 と信号処理 IC 1、MCU 2 の働きについて説明する。水晶発振子 3 は、水晶発振子接続端子 4 を介して信号処理 IC 1 内部の電圧制御発振器 (VCXO) 25 に接続される。電圧制御発振器 25 は、水晶発振子 3 を用いて、色信号処理の基準搬送波を生成する。通倍器 26 は、電圧制御発振器 25 に接続され、電圧制御発振器 25 の出力を通倍して MCU 2 のシステムクロックの周波数にし、クロック出力端子 30 を介して信号処理 IC 1 の外部に出力する。MCU 2 は、クロック入力端子 31 を介してクロック出力端子 30 が出力したクロック信号を受け取り、MCU 2 のシステムクロックとして用いる。

【0038】

電圧制御発振器 25 および通倍器 26 には信号処理 IC 1 内部から電源電圧が供給されている。また、MCU 2 には、電源電圧出力端子 29 が設けられており、MCU 2 から電源電圧を出力する。電源電圧入力端子 28 は、電源電圧出力端子 29 が出力した電源電圧を、ダイオード 27 を介して電圧制御発振器 25 および通倍器 26 に供給する。

【0039】

信号処理 IC 1 および MCU 2 の両方に電源が供給されている場合には、ダイオード 27 は、電源電圧入力端子 28 からの電源電圧を遮断し、電圧制御発振器

25 および通倍器 26 は、信号処理 IC 1 の電源を利用して動作する。

【0040】

信号処理 IC 1 に電源が供給されておらず、MCU 2 に電源が供給されている場合には、ダイオード 27 は、電源電圧入力端子 28 からの電源電圧を通過させ、電圧制御発振器 25 および通倍器 26 は、電源電圧入力端子 28 から供給される電源を利用して動作する。

【0041】

したがって、電源電圧発振器 25 は、信号処理 IC 1 または MCU 2 のいずれか一方の電源を利用して発振を行い、通倍器 26 を介して MCU 2 にシステムクロックを供給する。

【0042】

この実施の形態 1 では、信号処理 IC 1 は、MCU 2 と接続する端子を一辺に集約して、かつ MCU 2 の端子の配置の順番に対応させて設置し、信号処理 IC 1 の端子と MCU 2 の端子を向かい合わせて基板上に配置しているので、基板上の配線を短く、また、交差の少ない簡易なものとすることができる。このため、基板の配線領域を削減することができる。

【0043】

特に、テレビジョン受像機など多くの製品では、信号処理 IC と MCU の様に、特定の半導体装置と接続することをあらかじめ想定できる為、端子の配置を効率的に設定し、配線領域を大きく削減することが可能となる。

【0044】

また、MCU 2 から信号処理 IC 1 の一部に電源を供給し、信号処理 IC 1 が有する、色信号処理の基準搬送波を生成する為の水晶発振子を、MCU 2 のシステムクロックの発振子として利用することで、発振子を共有することが可能となる。この為、部品点数と実装面積を削減し、安価で小型の半導体集積装置を得ることができる。

【0045】

特に、テレビジョン受像機など多くの製品では、主電源のみが入っているスタンバイ状態を取ることができる。スタンバイ状態時に、発振子が直接接続されて

いる半導体装置に電源が供給されていない場合においても、スタンバイ状態時に電源が供給される半導体装置から電源を供給し、発振子を動作させることでシステムクロックを得ることができる。

【0046】

なお、信号処理IC1からMCU2に接続される端子が、信号処理ICの一辺に設置できる端子数を超える場合などには、その両側の辺をさらに用いても良い。

【0047】

図3は、信号処理IC41からMCU42に接続される端子が、一辺に設置できる端子数を超える場合の構成を示す図である。この場合、MCU42に最も近い一辺に端子を集約し、さらにその辺に接する2辺の、各々MCU42に近い側に端子を設けている。この構成を用いれば、接続する端子数が一辺に設置できる端子数より多い場合においても、基板配線を効率よく配置し、配線領域を各段に削減できる。

【0048】

なお、信号処理ICの端子のうち、集約して設置する端子は、本実施の形態で挙げたものに限らず、MCUに接続するいかなる端子について用いても良い。

【0049】

また、端子配置の順番は、本実施の形態1で説明した順番に限られることなく、任意の順番を用いることができる。

【0050】

さらに、信号処理ICとMCUの端子配置の順番は、必ずしも完全に一致することを必要とするものではない。

【0051】

なお、本実施の形態1では、テレビジョン受像装置の信号処理ICとMCUについて説明したが、本発明の利用はこれに制限されるものではなく、複数の接続端子をもって接続される半導体装置を有する半導体集積装置であれば、いかなる半導体集積装置に用いても良い。

【0052】

また、DIP (Dual Inline Package)、SOP (Small Outline Package)、QFP (Quad Flat Package)など、いかなるパッケージ形態を有する半導体装置であっても本発明の利用を妨げるものではない。

【0053】

実施の形態2.

つぎに、この発明の実施の形態2について説明する。図4は、この発明の実施の形態2である半導体集積装置の構成を示す図である。この実施の形態2では、半導体集積装置は、信号処理IC43およびMCU44を有している。

【0054】

信号処理IC43は、実施の形態1における信号処理IC1に対応し、TV信号を処理する機能を有し、信号処理IC1と同様の端子を備えている。また、MCU44は、実施の形態1におけるMCU2に対応し、信号処理IC43の制御、選局などを行うマイコンとして機能し、MCU2と同様の端子を備えている。

【0055】

信号処理IC43とMCU44は、基板100上に設置され、基板100にプリントされた配線を介して接続されている。また、信号処理IC43が有する端子、OSD入力端子5～8、バス制御線入力端子9、10、水平ドライブ用パルス出力端子11、垂直ドライブ用パルス出力端子12、リセットパルス出力端子13、電源電圧入力端子28、クロック出力端子30は、MCU44に最も近い一角をなす二つの辺の、MCU44に近い側に集約して設けられている。

【0056】

さらに、信号処理IC43の集約された端子の配置の順番は、MCU44の端子の配置の順番と対応している。

【0057】

この実施の形態2では、信号処理IC43は、MCU44と接続する端子を、MCU44に最も近い一角をなす二つの辺の、MCU44に近い側に集約して、かつMCU44の端子の配置の順番に対応させて設置しているので、基板上の信号処理ICとMCUとの位置関係が平行である場合に限らず、基板上の配線を短く、また、交差の少ない簡易なものとすることができる。このため、基板の配線

領域を削減することができる。

【0058】

なお、信号処理 IC の端子のうち、集約して設置する端子は、本実施の形態で挙げたものに限らず、MCU に接続するいかなる端子について用いても良い。

【0059】

また、信号処理 IC と MCU の端子配置の順番は、必ずしも完全に一致することを必要とするものではない。

【0060】

なお、本実施の形態 2 では、テレビジョン受像装置の信号処理 IC と MCU について説明したが、本発明の利用はこれに制限されるものではなく、複数の接続端子をもって接続される半導体装置を有する半導体集積装置であれば、いかなる半導体集積装置に用いても良い。

【0061】

実施の形態 3.

つぎに、この発明の実施の形態 3 について説明する。図 5 は、この発明の実施の形態 3 である半導体集積装置の構成を示す図である。この実施の形態 3 では、半導体集積装置は、信号処理 IC 4 5 および MCU 4 6 を有している。信号処理 IC 4 5 および MCU 4 6 のパッケージ形態は、ともに DIP であり、対向する 2 辺のみに端子を有するパッケージ形態である。また、信号処理 IC 4 5 と MCU 4 6 は、端子を有さない辺を向かい合わせて基板 1 0 0 上に配置され、基板 1 0 0 にプリントされた配線を介して接続されている。

【0062】

信号処理 IC 4 5 は、実施の形態 1 における信号処理 IC 1 に対応し、TV 信号を処理する機能を有し、信号処理 IC 1 と同様の端子を備えている。また、MCU 4 6 は、実施の形態 1 における MCU 2 に対応し、信号処理 IC 4 5 の制御、選局などを行うマイコンとして機能し、MCU 2 と同様の端子を備えている。

【0063】

信号処理 IC 4 5 が有する端子、OSD 入力端子 5 ~ 8、バス制御線入力端子 9、10、水平ドライブ用パルス出力端子 11、垂直ドライブ用パルス出力端子

12、リセットパルス出力端子13、電源電圧入力端子28、クロック出力端子30は、端子を有する各辺の、MCU46に近い側に集約して設けられている。

【0064】

同様に、MCU46が有するバス制御線出力端子16、17、水平ドライブ用パルス入力端子18、垂直ドライブ用パルス入力端子19、OSD信号出力端子20～23、リセットパルス入力端子24、電源電圧出力端子29、クロック入力端子31は、端子を有する各辺の、信号処理IC45に近い側に集約して設けられている。

【0065】

さらに、信号処理IC45の集約された端子の配置の順番は、MCU46の集約された端子の配置の順番と対応している。

【0066】

この実施の形態3では、信号処理IC45は、MCU46と接続する端子を、端子を有する各辺の、MCU46に近い側に集約して、かつMCU44の端子の配置の順番に対応させて設置しているので、信号処理ICおよびMCUがともにDIPやSOPなど、対向する2辺のみに端子を有するパッケージ形態である場合であっても、基板上の配線を短く、また、交差の少ない簡易なものとすることができる。このため、基板の配線領域を削減することができる。

【0067】

なお、信号処理ICの端子のうち、集約して設置する端子は、本実施の形態で挙げたものに限らず、MCUに接続するいかなる端子について用いても良い。

【0068】

また、端子配置の順番は、本実施の形態で説明した順番に限られることなく、任意の順番を用いることができる。

【0069】

さらに、信号処理ICとMCUの端子配置の順番は、必ずしも完全に一致することを必要とするものではない。

【0070】

なお、本実施の形態では、テレビジョン受像装置の信号処理ICとMCUにつ

いて説明したが、本発明の利用はこれに制限されるものではなく、複数の接続端子をもって接続される半導体装置を有する半導体集積装置であれば、いかなる半導体集積装置に用いても良い。

【 0 0 7 1 】

実施の形態 4.

つぎに、この発明の実施の形態 4 について説明する。図 6 は、この発明の実施の形態 4 である半導体集積装置の構成を示す図である。この実施の形態 4 では、半導体集積装置は、信号処理 IC 4 7 および MCU 4 8 を有している。

【 0 0 7 2 】

信号処理 IC 4 7 は、実施の形態 1 における信号処理 IC 1 に対応し、TV 信号を処理する機能を有し、信号処理 IC 1 と同様の端子を備えている。また、MCU 4 8 は、実施の形態 1 における MCU 2 に対応し、信号処理 IC 4 7 の制御、選局などを行うマイコンとして機能し、MCU 2 と同様の端子を備えている。

【 0 0 7 3 】

信号処理 IC 4 7 は、両面基板 3 2 に設置され、MCU 4 8 は、両面基板 3 2 の、信号処理 IC 4 7 が設置された面の裏面に設置される。さらに、信号処理 IC 4 7 と、MCU 4 8 とは、両面基板 3 2 に設けられたスルーホールを介して接続されている。

【 0 0 7 4 】

また、信号処理 IC 4 7 が有する端子、OSD 入力端子 5 ～ 8、バス制御線入力端子 9、10、水平ドライブ用パルス出力端子 11、垂直ドライブ用パルス出力端子 12、リセットパルス出力端子 13、電源電圧入力端子 28、クロック出力端子 30 は、同一の辺に集約して設けられている。同様に、MCU 4 8 が有するバス制御線出力端子 16、17、水平ドライブ用パルス入力端子 18、垂直ドライブ用パルス入力端子 19、OSD 信号出力端子 20 ～ 23、リセットパルス入力端子 24、電源電圧出力端子 29、クロック入力端子 31 は、同一の辺に集約して設けられている。

【 0 0 7 5 】

さらに、信号処理 IC 4 7 の一辺に集約された端子の配置の順番は、MCU 4

8の一辺に集約された端子の配置の順番と対応している。また、信号処理IC47とMCU48は、集約した各端子が、互いに向かい合うように両面基板32を挟んで設置されている。

【0076】

この実施の形態4では、信号処理IC47は、MCU48と接続する端子を一辺に集約して、かつMCU48の端子の配置の順番に対応させて設置し、信号処理IC47の端子とMCU48の端子を向かい合わせて両面基板32を挟んで配置しているので、両面基板32上の配線を短く、また、交差の少ない簡易なものとしてすることができる。このため、基板の配線領域を削減することができる。

【0077】

なお、信号処理ICの端子のうち、集約して設置する端子は、本実施の形態で挙げたものに限らず、MCUに接続するいかなる端子について用いても良い。

【0078】

また、端子配置の順番は、本実施の形態で説明した順番に限られることなく、任意の順番を用いることができる。

【0079】

さらに、信号処理ICとMCUの端子配置の順番は、必ずしも完全に一致することを必要とするものではない。

【0080】

なお、本実施の形態では、テレビジョン受像装置の信号処理ICとMCUについて説明したが、本発明の利用はこれに制限されるものではなく、複数の接続端子をもって接続される半導体装置を有する半導体集積装置であれば、いかなる半導体集積装置に用いても良い。

【0081】

また、SOP、DIP、QFPなど、いかなるパッケージ形態を有する半導体装置であっても本発明の利用を妨げるものではない。

【0082】

【発明の効果】

以上説明したように、この発明によれば、相互に接続される第1の半導体装置

および第2の半導体装置の少なくとも一方の接続端子群は、各接続端子を連続して配置されるので、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【 0 0 8 3 】

つぎの発明によれば、第1の半導体装置と第2の半導体装置とを接続する接続端子群は、半導体集積装置の基板上で、互いに対向して配置されるので、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【 0 0 8 4 】

つぎの発明によれば、第1の半導体装置および第2の半導体装置は、両面基板の各々異なる面に搭載され、両面基板に設けられたスルーホールを介し、接続端子群を対向させて配置されるので、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【 0 0 8 5 】

つぎの発明によれば、第1の半導体装置と第2の半導体装置とを接続する接続端子群は、半導体装置上の一边に集約して設置されるので、基板の配線領域を各段に削減し、実装面積の小さく、安価な半導体装置を得ることができる。

【 0 0 8 6 】

つぎの発明によれば、第1の半導体装置と第2の半導体装置とを接続する接続端子群は、半導体装置上の一边およびそれに隣接する辺に集約して設けられるので、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【 0 0 8 7 】

つぎの発明によれば、第1の半導体装置と第2の半導体装置とを接続する接続端子群は、所定の順序で関連付けて連続して配置されるので、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【 0 0 8 8 】

つぎの発明によれば、第1の半導体装置と第2の半導体装置とは、各短辺部を対向させて配置され、第1の半導体装置と第2の半導体装置とを接続する接続端

子群は、各半導体装置の長辺部の、対向させた短辺部近傍に所定の順序で配置されるので、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【0089】

つぎの発明によれば、第1の半導体装置は、第2の半導体装置から電源の供給を受けて発振手段および通倍手段を動作させ、発振手段が生成した周期信号を通倍し、第2の半導体装置にシステムクロックとして入力するので、部品点数を減らし、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【0090】

つぎの発明によれば、第1の半導体装置の発振手段および通倍手段は、第1の半導体装置に電源が供給されている場合には、第1の半導体装置の電源を用いて動作し、第1の半導体装置に電源が供給されていない場合には、第2の半導体装置から供給される電源を用いて動作するので、部品点数を減らし、基板の配線領域を削減し、実装面積の小さく、安価な半導体集積装置を得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態である半導体集積装置の構成を示す図である。

【図2】 図1に示した水晶発振子3、信号処理IC1、MCU2の働きを説明する図である。

【図3】 信号処理IC1からMCU2に接続される端子が、一辺に設置できる端子数を超える場合の構成を示す図である。

【図4】 半導体装置の一角に端子を集約した場合の構成を示す図である。

【図5】 接続される2つの半導体装置が、対向する2辺のみに端子を有するパッケージ形態である場合の構成を示す図である。

【図6】 両面基板を活用して半導体装置を配置する場合の構成を示す図である。

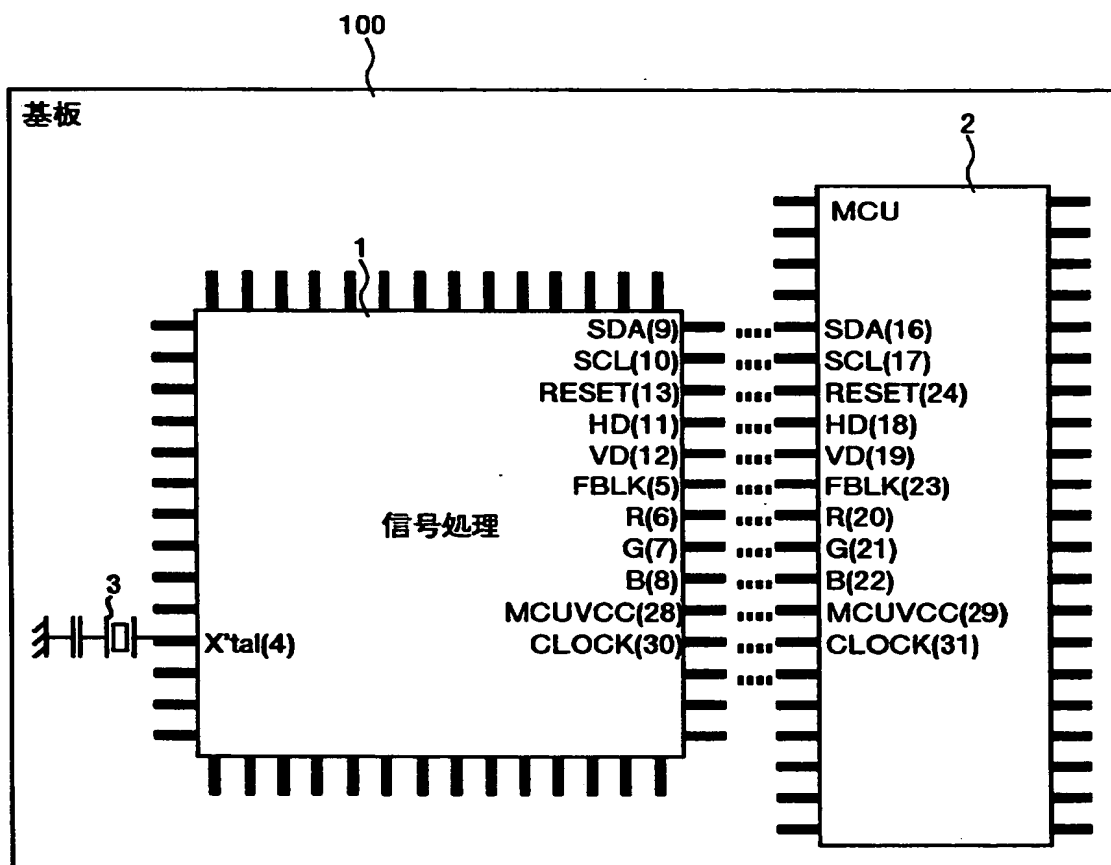
【図7】 従来のTV信号処理ICとマイコンの接続を示す図である。

【符号の説明】

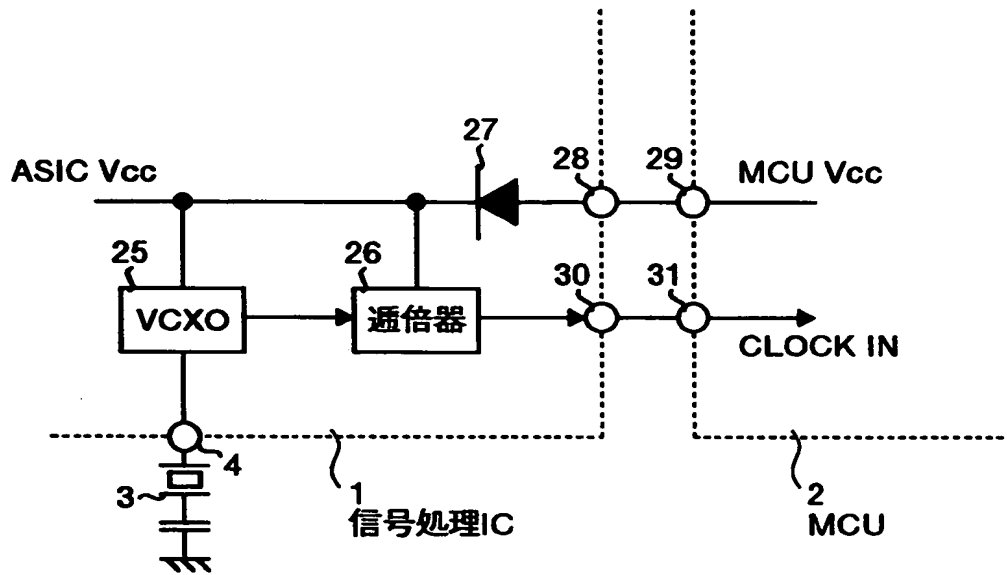
1, 41, 43, 45, 47 信号処理 IC、2, 42, 44, 46, 48 MCU、3 水晶発振子、4 水晶発振子接続端子、5~8 OSD入力端子、9, 10 バス制御線入力端子、11 水平ドライブ用パルス出力端子、12 垂直ドライブ用パルス出力端子、13 リセットパルス出力端子、14 発振子、15 システムクロック入力端子、16, 17 バス制御線出力端子、18 水平ドライブ用パルス入力端子、19 垂直ドライブ用パルス入力端子、20~23 OSD信号出力端子、24 リセットパルス入力端子、25 電圧制御発振器、26 逡倍器、27 ダイオード、28 電源電圧入力端子、29 電源電圧出力端子、30 クロック出力端子、31 クロック入力端子、32 両面基板、100 基板。

【書類名】 図面

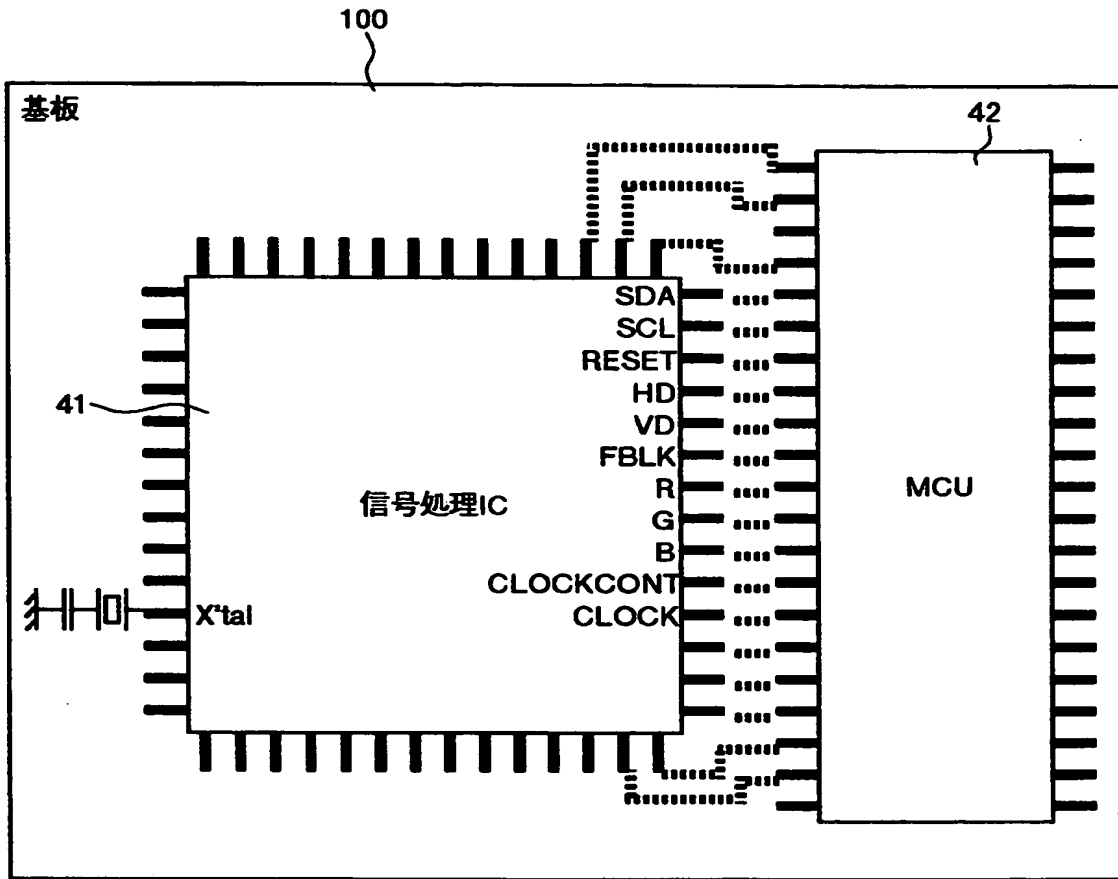
【図 1】



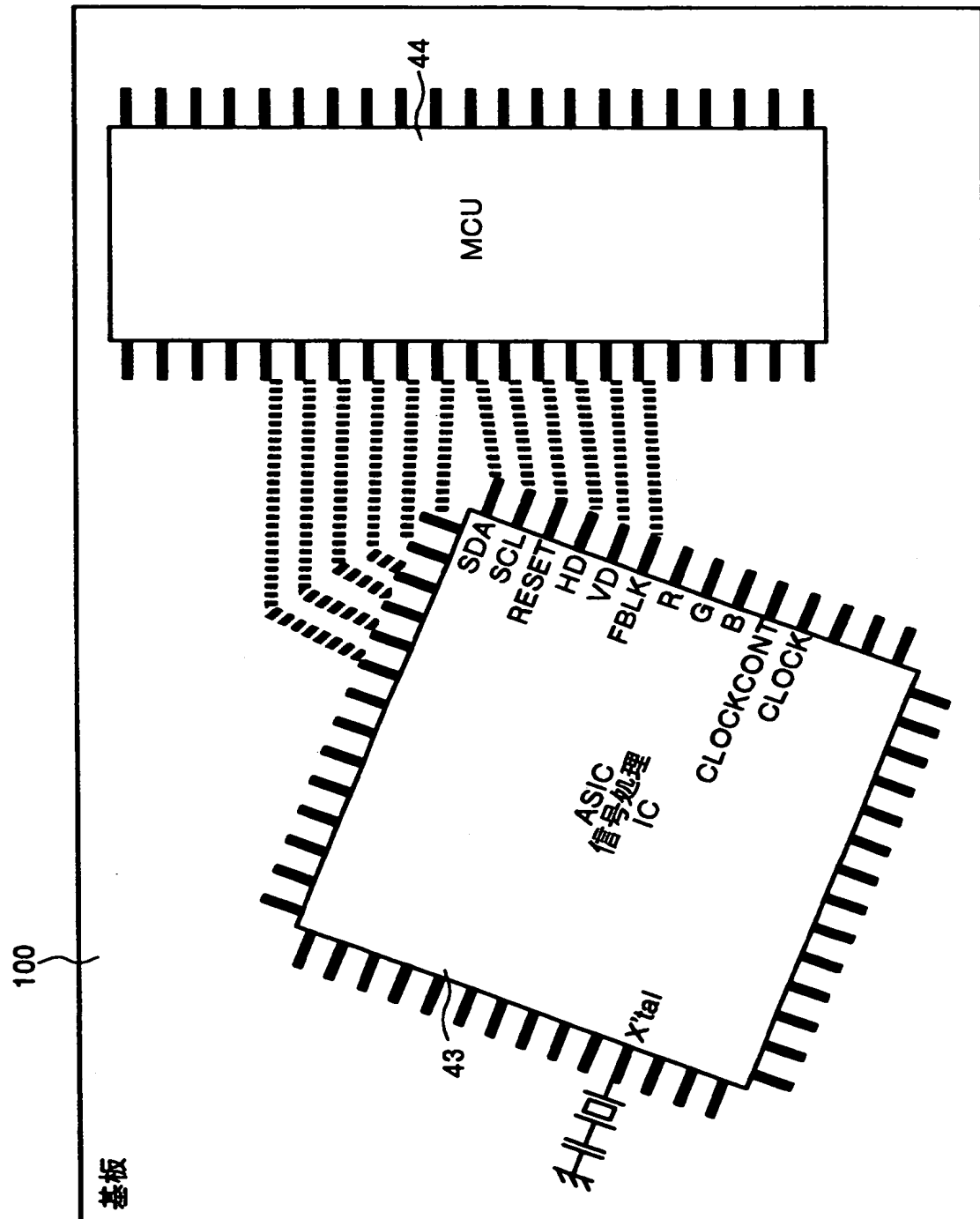
【图2】



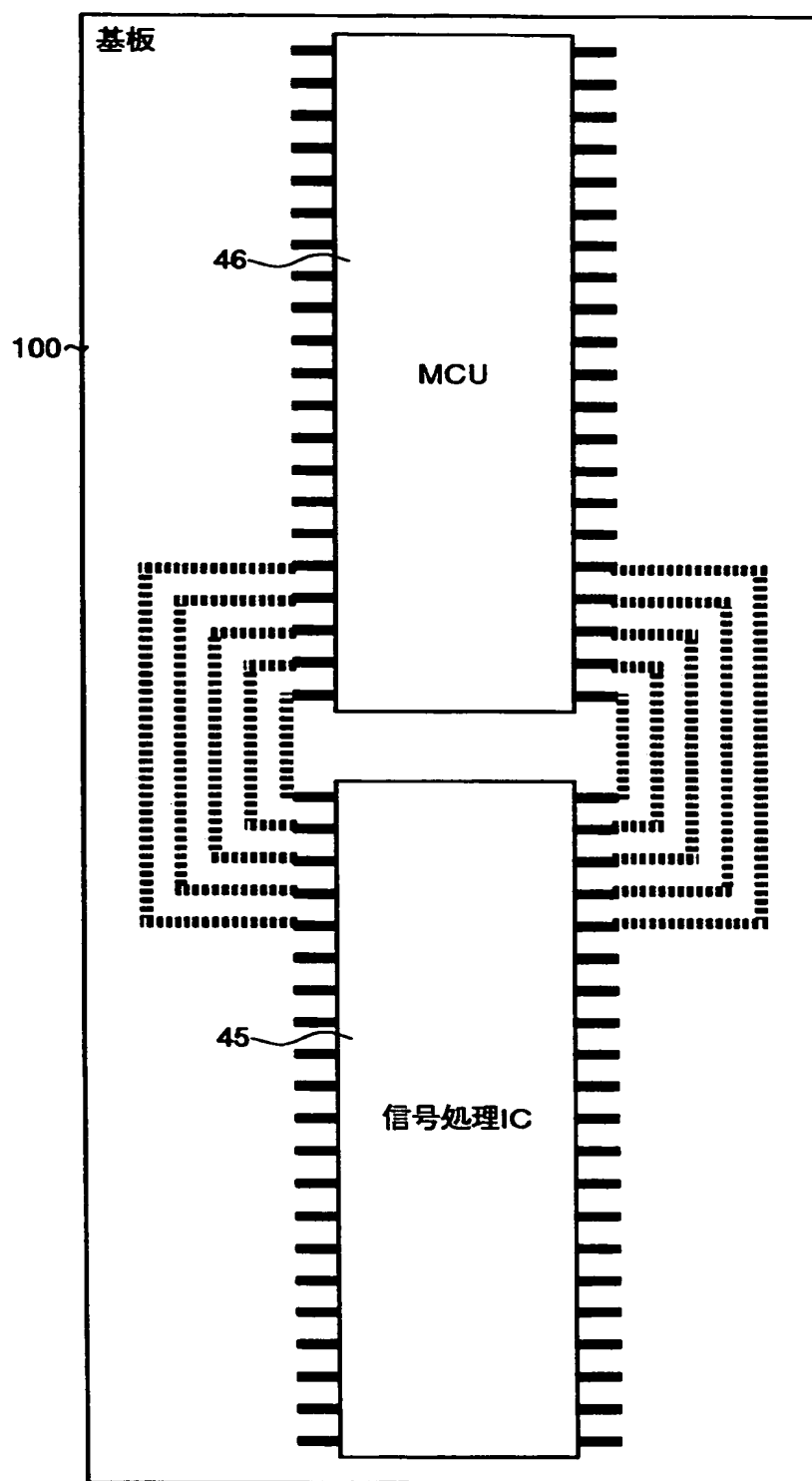
【図 3】



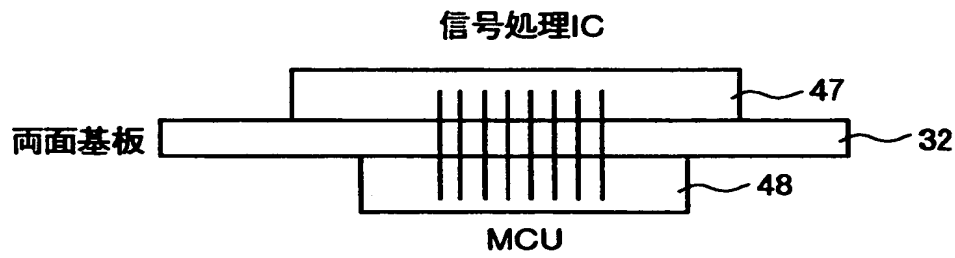
【图 4】



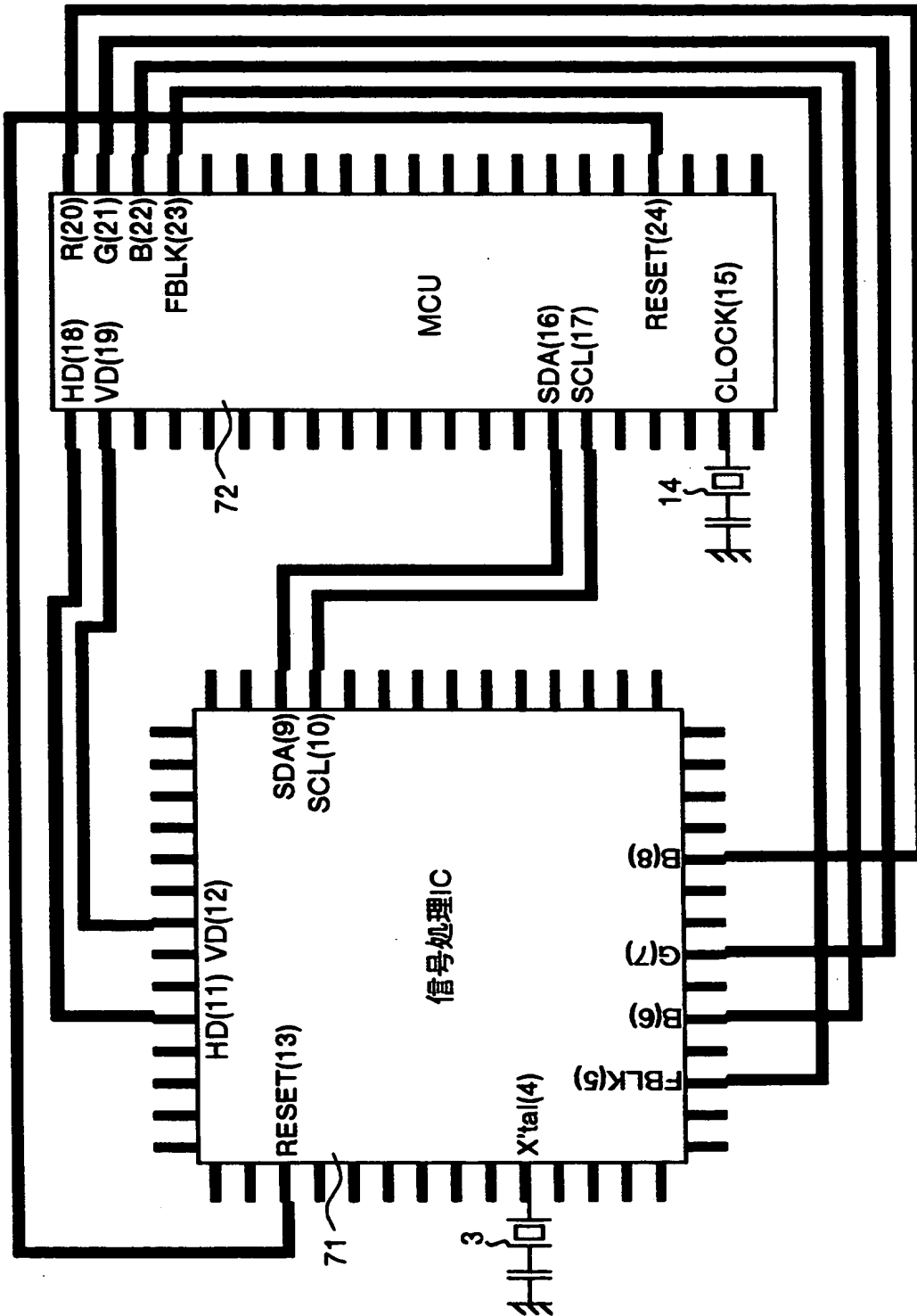
【図 5】



【图 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 半導体集積装置の基板の配線領域を削減すること。

【解決手段】 信号処理 I C 1 が有する端子、O S D 入力端子 5 ～ 8、バス制御線入力端子 9, 1 0、水平ドライブ用パルス出力端子 1 1、垂直ドライブ用パルス出力端子 1 2、リセットパルス出力端子 1 3、電源電圧入力端子 2 8、クロック出力端子 3 0 を同一の辺に集約して設ける。また、M C U 2 が有するバス制御線出力端子 1 6, 1 7、水平ドライブ用パルス入力端子 1 8、垂直ドライブ用パルス入力端子 1 9、O S D 信号出力端子 2 0 ～ 2 3、リセットパルス入力端子 2 4、電源電圧出力端子 2 9、クロック入力端子 3 1 を、同一の辺に集約して設ける。さらに、信号処理 I C 1 と M C U 2 とを端子を向かい合わせて基板に搭載し、端子を接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社